

SOFTWARE DEVELOPMENT SUPPORTING DEVICE

Patent Number: JP6222949
Publication date: 1994-08-12
Inventor(s): YAJIMA YUKIO; others: 01
Applicant(s):: TOSHIBA CORP; others: 01
Requested Patent: ☐ JP6222949
Application Number: JP19930010746 19930126
Priority Number(s):
IPC Classification: G06F11/28
EC Classification:
Equivalents:

Abstract

PURPOSE:To improve the efficiency of debugging work at the time of emulation execution by enabling the debugging work of a software to be performed under the control of an electrically reloadable nonvolatile memory by a controller.

CONSTITUTION:A host computer 109 commands the control of an emulator 101 to a controller 111, a CPU 115 for control of the controller 111 executes a program for emulation stored in a program memory 117, and emulation is started by controlling the emulator 101 through an interface 113. At the emulator 101, the emulation is performed by executing the software under development stored in an emulation memory 125. In this case, an emulation memory 127 is an EEPROM as the electrically reloadable non-volatile memory.

Data supplied from the esp@cenet database - I2

【特許請求の範囲】

【請求項1】 1チップマイクロプロセッサに格納するソフトウェアの開発を行う為の装置において、前記ソフトウェアを格納するメモリを備えると共に前記マイクロプロセッサを模倣するエミュレータと、このエミュレータを制御するコントローラとを有し、前記メモリは電氣的に書き換え可能な不揮発性メモリであり、前記コントローラによる前記メモリの制御により前記ソフトウェアのデバック作業を行い得ることを特徴とするソフトウェア開発支援装置。

【請求項2】 前記コントローラは、ホストコンピュータによって駆動することを特徴とする請求項1に記載のソフトウェア開発支援装置。

【請求項3】 前記エミュレータには、前記マイクロプロセッサの応用環境を模倣するターゲットが接続されていることを特徴とする請求項1に記載のソフトウェア開発支援装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明はマイクロプロセッサのソフトウェア開発支援装置に関し、特に開発対象のソフトウェアのデバック作業の能率を高めるシステム構成に関するものである。

【0002】

【従来の技術】 従来から1チップのマイクロプロセッサの製作に当たって、内蔵ROMに格納するソフトウェアを開発するために、しばしばエミュレータを利用していた。その1例を図4に示す。エミュレータ1はこのマイクロプロセッサを模倣する。ターゲット3は、このマイクロプロセッサの応用環境を設定し、エミュレータ1からの信号によって所定の動作を行う。コントローラ5は、エミュレータ1に制御信号を出力し、その動作の制御を行う。エミュレーションの全体の動作は、ホストコンピュータ7によって制御される。

【0003】 エミュレータ1には、エミュレーションメモリとしてRAM9が設けられており、開発対象のソフトウェアはここに格納される。即ち、エミュレータ1とターゲット3とで、当該マイクロプロセッサを備えた応用装置を模倣し、ソフトウェアが正常に所望の動きをするか否かを調べることができる。その結果、応用装置が所定の動作をしなければ、適宜デバック作業を繰り返すことになる。通常、このデバック作業は、何度かに分けて行われ又RAM9は揮発性なので、その都度ホストコンピュータ7やコントローラ5を介して、開発途中のソフトウェアをRAM9に転送しなければならない。

【0004】 図5に示した様に、エミュレーションメモリとして、EPROM11を用いる例もある。この場合、電源を落としても記録内容は消えないが、書き換えの際には消去器13とEPROMライター15とを必要とする。即ち、書き換えの都度、EPROM11をソケ

ットから取り外し、消去器13に入れ紫外線消去を行わねばならない。EPROM用のソケットは高価な上に占有面積が大きく、EPROMの脱着を容易にするには、全体のレイアウトにはかなりの工夫が必要であった。

又、紫外線消去ではEPROMの全体が消去されてしまうので、ホストコントローラから全データをEPROMライター15に転送しなければならず、データの変更回数が多くなると、消去及び書き込みの時間が膨大なものとなってしまふ。尚、EPROMライター機能をエミュレータ1に付加することも可能であるが、その場合EPROM書き込み回路の分だけエミュレータの回路規模が大きくなってしまい、余り好ましくない。

【0005】 エミュレーションメモリとして、図6に示した様に、RAM9とEPROM11の両方を用いた例もある。この場合、デバック作業の開始に先立って、EPROM11からRAM9へソフトウェアのデータを転送し、終わったらRAM9のデータをEPROM11に転送する。従って、これらメモリ間のデータの転送が必要であり、しかも2つのメモリを実装している為にエミュレーションメモリの面積が大きくなってしまふ。

【0006】

【発明が解決しようとする課題】 以上の従来例では、デバック作業の開始終了に当たって、データの転送や書き込みに多くの時間がかかってしまい、作業能率が大変低いという問題があった。本発明の目的は、エミュレーションを実行する際に行うデバック作業の能率を向上させることのできるソフトウェア開発支援装置を提供することである。

【0007】

【課題を解決するための手段】 前記課題を解決する為に、本発明によれば、1チップマイクロプロセッサに格納するソフトウェアの開発を行う為の装置において、前記ソフトウェアを格納するメモリを備えると共に前記マイクロプロセッサを模倣するエミュレータと、このエミュレータを制御するコントローラとを有し、前記メモリは電氣的に書き換え可能な不揮発性メモリである。

【0008】

【作用】 従って、前記コントローラによる前記メモリの制御により前記ソフトウェアのデバック作業を行い得る。

【0009】

【実施例】 図1は本発明の実施例のよるソフトウェア開発支援装置を示すブロック図である。

【0010】 ここでは電卓用のマイクロプロセッサICにROM部に格納するプログラムを開発する場合を例にして説明する。エミュレータ101はこのマイクロプロセッサICと同じ論理演算を行い、このマイクロプロセッサの処理を模倣する。ターゲット103は、キーボード等の周辺回路105と、模倣するマイクロプロセッサを装着するソケット107とを備え、エミュレータ10

1と共に電卓の全体を模倣する。エミュレータ101の動作の制御は、ホストコンピュータ109に接続された専用のコントローラ111によって行われる。ホストコンピュータ109、コントローラ111、エミュレータ101及びターゲット103間の信号の授受は、夫れ夫れインターフェース113を介して行われる。

【0011】コントローラ111は、制御用CPU115と、エミュレーション実行の為のプログラムを格納するプログラムメモリ117と、このプログラムを実行する際に使用するホストRAM119と、トレース情報を記録するトレースメモリ121と、トリガ判定部123とからなっている。又、エミュレータ101は、エミュレーションCPU125と、開発するマイクロプロセッサICのROM部に格納すべきプログラムを格納するエミュレーションメモリ127と、このプログラムを実行する際に使用するワークRAM129と、エミュレーションCPU125をエミュレータとして動作させる為の周辺回路131とを備えている。

【0012】メモリ125に格納されたソフトウェアを用いたエミュレーションは、次の様に行われる。先ず、ホストコンピュータ109が、コントローラ111に対してエミュレータ101の制御を指令する。それに応じて、コントローラ111の制御用CPU115は、プログラムメモリ117に格納されたエミュレーション用のプログラムの実行を行い、インターフェース113を介してエミュレータ101を制御してエミュレーションを開始する。エミュレータ101では、エミュレーションメモリ125に格納された開発中のソフトウェアを実行することにより、エミュレーションを行う。又、制御用CPU115は、ホストコンピュータからのトレース動作の指令を受け、トリガ判定部123によってトレース開始条件が満たされていることが確認されると、トレース用メモリ121にエミュレーションの状態が逐次格納される。

【0013】本発明では、エミュレーションメモリ127が、電氣的に書き換え可能な不揮発性メモリであるEEPROMであることが特徴である。従って、開発中のソフトウェアのデバック作業は、次の様に極めて効率よく行われる。先ず、デバック作業中にソフトウェアの誤りが発見された場合には、その場で直ぐにEEPROM127の内容の書き換えが行われる。勿論、この書き換えは、必要な部分に限られるので余り時間はかからない。デバック作業を終える場合は、特にエミュレーションメモリ127の内容を、保存しておく必要がないので単に電源を落とすだけでよい。次にデバック作業を再開する場合には、前回の内容がエミュレーションメモリ127に残っているので、データの転送や書き込みを行うことなく、直ちにデバック作業を始めることが可能である。

【0014】又、デバック済みのソフトウェアが、EE

PROM127に格納されている場合は、図2に示した様にエミュレータ101をコントローラ111と切り離して、ソフトウェアのデモンストレーションを行うことが可能である。更に、図3に示した様に、エミュレータ101をターゲット103内に搭載して、ターゲットのみで動作させることも可能である。

【0015】

【発明の効果】本発明では、エミュレーションメモリとして不揮発性のEEPROMを用いた結果、次の様な効果が期待できる。

【0016】1) デバック作業の都度エミュレーションメモリにホストコンピュータから開発中のソフトウェアを転送する必要がない。

【0017】2) エミュレーションメモリに格納されているソフトウェアの内容の書き換えが、容易に短時間に行える。

【0018】3) エミュレーションメモリの書き換えに、消去器やROMライターのような特別な装置が不要であり、エミュレーションメモリを着脱可能に設ける必要がない。

【図面の簡単な説明】

【図1】本発明によるソフトウェア開発支援装置の一例のブロック図である。

【図2】本発明によるソフトウェア開発支援装置の他の例のブロック図である。

【図3】本発明によるソフトウェア開発支援装置の更に他の例のブロック図である。

【図4】従来のソフトウェア開発支援装置のブロック図である。

【図5】従来のソフトウェア開発支援装置の他の例のブロック図である。

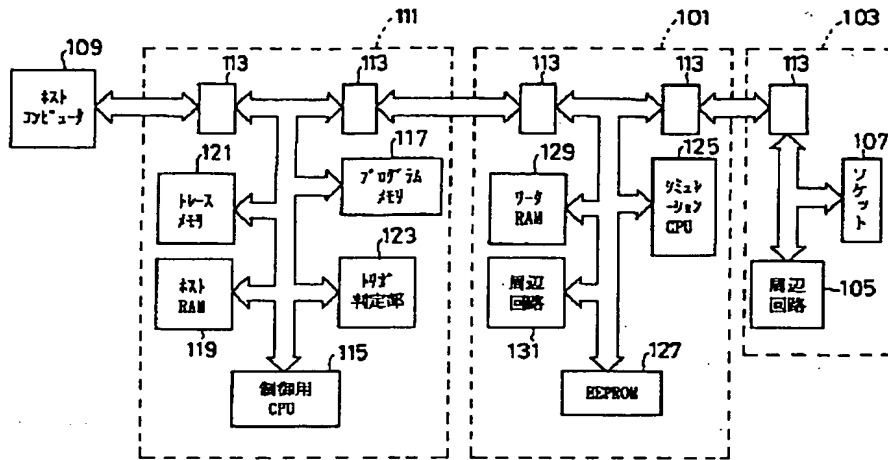
【図6】従来のソフトウェア開発支援装置の更に他の例のブロック図である。

【符号の説明】

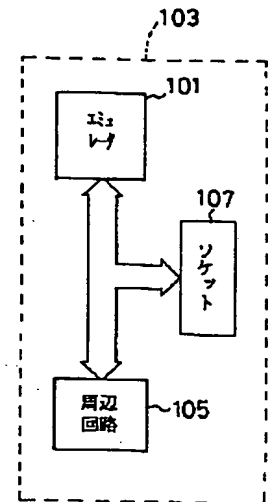
- 1、101 エミュレータ
- 3、103 ターゲット
- 5、111 コントローラ
- 7、109 ホストコンピュータ
- 9、11、127 エミュレーションメモリ
- 13 ROMライター
- 15 消去器
- 105、131 周辺回路
- 107 ソケット
- 113 インターフェイス
- 115 制御用CPU
- 117 プログラムメモリ
- 119 ホストRAM
- 121 トレースメモリ
- 123 トリガ判定部
- 125 エミュレーションCPU

129 ワークRAM

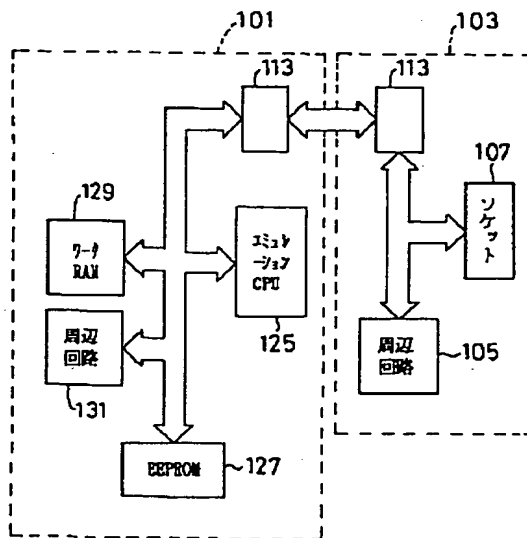
【図1】



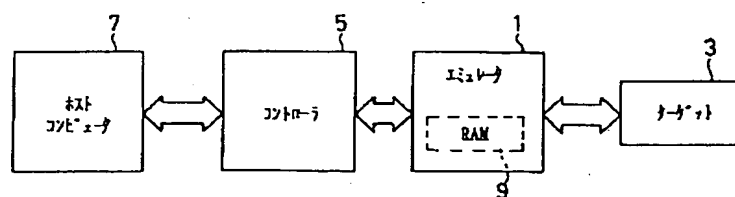
【図3】



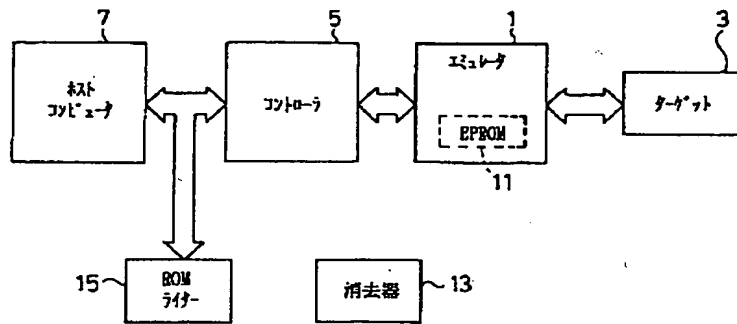
【図2】



【図4】



【図5】



【図6】

